

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

L5 ANSWER 1 OF 1 JAPIO (C) 2003 JPO on STN

AN 1992-307974 JAPIO  
TI ELECTRICALLY ERASABLE NONVOLATILE SEMICONDUCTOR STORAGE DEVICE  
IN YOSHIMI MASANORI  
PA SHARP CORP  
PI JP 04307974 A 19921030 Heisei  
AI JP 1991-73239 (JP03073239 Heisei) 19910405  
PRAI JP 1991-73239 19910405  
SO PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined Applications, Vol. 1992

AN 1992-307974 JAPIO  
AB PURPOSE: To contrive an increase in the integration of the title device by a method wherein floating gates are respectively divided functionally into a write site and an erase site and in the sides of the erase sites, a tunnel oxide film is provided to constitute the erase sites without providing a source offset and in the sides of the write sites, a source offset is provided to constitute the write sites.

CONSTITUTION: One pair of L-shaped floating gates 2 consisting of a polysilicon film are respectively provided on gate regions between a source line 3 in the surface of a silicon substrate and one pair of drain lines 4 and 4 arranged on both sides of the line 3 via an insulating film. Moreover, control gates 5 consisting of a polysilicon film to the gates 5 are respectively provided on the gates 2 via an interlayer insulating film. In one pair of write sites, writing using an injection of electrons from the side of each drain to each gate 2 is performed. On the other hand, in the erase sites, erase using an F-N tunneling is performed en bloc from the side of a source to the gates 2 and 2.

COPYRIGHT: (C)1992,JPO&Japio

B11

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-307974

(43) 公開日 平成4年(1992)10月30日

(51) Int.Cl.  
H 01 L 29/788  
29/792  
27/115

識別記号 庁内整理番号

F I

技術表示箇所

8225-4M H 01 L 29/78 371  
8831-4M 27/10 434

審査請求 未請求 請求項の数1(全4頁)

(21) 出願番号 特願平3-73239

(22) 出願日 平成3年(1991)4月5日

(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 吉見 正徳  
大阪市阿倍野区長池町22番22号 シャープ  
株式会社内  
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 電気的消去可能不揮発性半導体記憶装置

## (57) 【要約】

【目的】 ソースオフセットに選択ゲートを構成したE  
PROMにおけるF-Nトンネリングによる消去を円  
滑化して、素子の縮小化を図る。

【構成】 1つのソースラインとその両側のドレインラ  
インとで2つのEPROMセルを構成し、各フローテ  
ィングゲートの一方側をホットエレクトロンによる書き  
込み部位とし他方側をF-Nトンネリングによる一括消  
去部位として機能分離する。

(转接器的端子) 以下、条件因而在示于表中。对于各端子的说明如下。

(0008) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0009) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0010) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0011) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0012) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0013) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0014) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0006) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0005) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0004) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0003) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0002) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0001) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(转接器的端子) 以下、条件因而在示于表中。对于各端子的说明如下。

(0001) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0002) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0003) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0004) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0005) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0006) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0007) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0008) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0009) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0010) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0011) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0012) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0013) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

(0014) 在此条件下，当ROM被写入时，ROM将被擦除。对于各端子的说明如下。

発明を詳説する。

【0015】図1は、この発明の一実施例のEEPROMを示す平面構成説明図であり、図2(イ)は、図1のA-A'線断面説明図、図2(ロ)は同じくB-B'線断面説明図である。

【0016】これらの図に示すように、この発明のEEPROMは、シリコン基板表面のソースライン3とその両側に配置される一対のドレインライン4、4との間のゲート領域上に、絶縁膜を介してポリシリコンからなる1対のL字状フローティングゲート2を配置してなり、さらに、このフローティングゲート2上に層間絶縁膜を介して、共通するポリシリコンからなるコントロールゲート5を配置してなる。

【0017】上記フローティングゲート2は、図2(イ)に示すように、A-A'断面においては、ソースオフセット9を保ってゲート領域のゲート酸化膜1、1上に位置する一対の書き込み部位(狭幅部分)を有する。ここでソースドレイン幅は1.6~2.0μm、ソースオフセットは0.8~1.0μmとするのが適している。かかる書き込み部位上のコントロールゲート5は、各々のソースオフセット上で選択ゲートとしても機能する。

【0018】一方、図2(ロ)に示すように、B-B'断面においては、ソースライン3の両側に配置されたトンネル酸化膜6上を被覆する消去部位(広幅部分)を有してなる。なお、図中、7は、ロコス酸化膜からなる素子分離領域である。

【0019】かかる構造のEEPROMにおいては、上記一対の書き込み部位において、各々ドレイン側からフローティングゲートへのホットエレクトロンの注入による書き込みが行なわれる。そして、消去部位においては、ソース側から両フローティングゲート2、2へ一括してF-Nトンネリングによる消去が行なわれることとなる。そして、上記ホットエレクトロンの注入及びF-Nトンネリングがコントロールゲートを選択ゲートとして制御されることとなる。

【0020】かかる図1のEEPROMは、例えば以下のようにして作製することができる。まず、図3に示すように、シリコン基板の所定の領域にロコス酸化法により、素子分離領域7を形成した後、メモリーセルのソース構成ラインのイオン注入及び砒素のイオン注入を行ってDDD構造のソースラインを形成する。表面を熱酸化に付して全面に例えば200~300A程度のゲート酸化膜1を形成し、フォトリソグラフィのバターニング及びエッティングを行なうことにより、その一部にトンネル酸化膜用窓を形成し、フォトレジストの除去後、熱酸化を行なうことにより、各々、一対のトンネル酸化膜6を形成する。

【0021】次に、CVD法により全面にポリシリコンを堆積し、N型不純物拡散してフォトエッティングするこ

とにより、図5に示すように、各々狭幅領域と広幅領域を有する一对のL字状フローティングゲート2を形成する。

【0022】上記フローティングゲート2の形成後、図6に示されるようにフォトレジスト8を用いたフォトリソグラフィにより、メモリーセルのドレイン構成ラインに砒素をイオン注入してドレインラインを形成する。

【0023】この後、フローティングゲート2の書き込み部位上に各々CVDによる層間絶縁膜(SIO<sub>2</sub>)を被覆形成した後、ポリシリコンの堆積層へのN型不純物拡散並びに堆積層のフォトリソグラフィによるバターニング及びエッティングを行なうことにより、図7に示すごとく、コントロールゲート5を形成してこの発明のEEPROMが得られる。

【0024】

【発明の効果】以上のように、この発明のEEPROMによれば、ソース側のオフセット部を選択ゲートとする場合においても、ソース側より円滑に消去操作できるので、独立して消去用ゲートを設ける場合と比べメモリーセル専有面積が著しく減少され、さらなるEEPROMの高集成化が図ることが可能となる。

【0025】さらに、ホットエレクトロン発生効率の良いドレイン接合及び、消去用の高電圧においてもリーク電流の少ない、ソース接合を別々に最適化できる。従って、ドレイン側よりホットエレクトロンにより書き込み、ソース側よりF-Nトンネリングにより消去する電気的消去可能不揮発性半導体記憶装置の製造の観点からも、その設計がより容易となり、製造工程も容易となる利点も得られる。

【図面の簡単な説明】

【図1】この発明の一実施例のEEPROMの平面構成説明図である。

【図2】(イ)は、図1のA-A'線断面説明図、(ロ)は、B-B'線断面説明図である。

【図3】図1のEEPROMの製造工程を示すレイアウト図である。

【図4】図3に続くレイアウト図である。

【図5】図4に続くレイアウト図である。

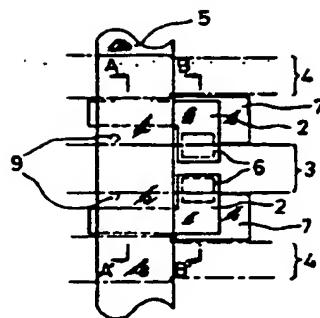
【図6】図5に続くレイアウト図である。

【図7】図6に続くレイアウト図である。

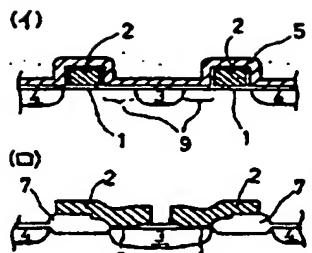
【符号の説明】

- 1 ゲート酸化膜
- 2 フローティングゲート
- 3 ソースライン
- 4 ドレインライン
- 5 コントロールゲート
- 6 トンネル酸化膜
- 7 素子分離領域
- 8 フォトレジスト
- 9 ソースオフセット

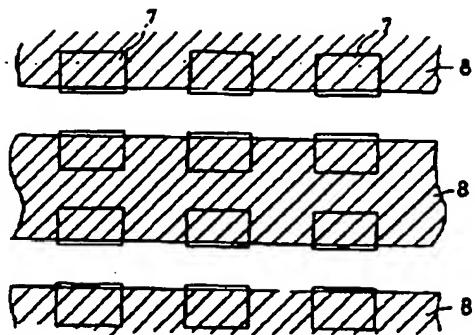
【図1】



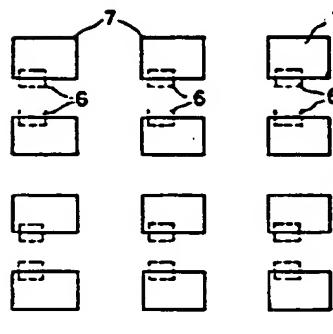
【図2】



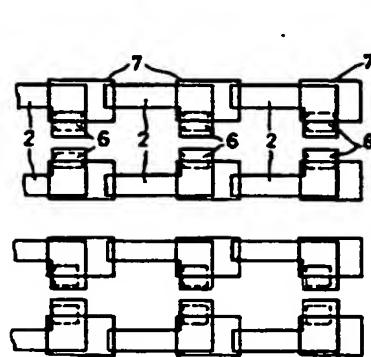
【図3】



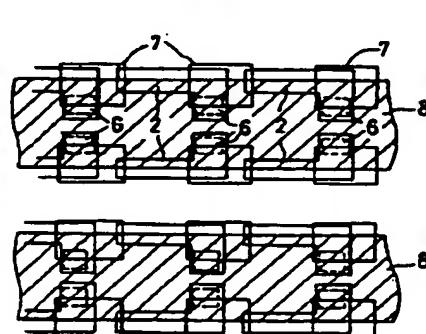
【図4】



【図5】



【図6】



【図7】

